

Partial translation of
Japanese Patent Laid-Open Publication No. 63-60593

Date of Publication: March 16, 1988
Applicant: Mitsubishi Electric Corp.

Embodiment

An embodiment of the present invention will be described with reference to the accompanying drawings as follows.

Fig. 1 shows a hybrid integrated circuit device of an embodiment in the present invention. In Fig. 1, numeral 1 shows a board, numeral 2a shows a lower chip capacitor mounted on the board 1, numeral 2b shows an upper chip capacitor stacked and mounted on the lower chip capacitor 2a.

In this embodiment, a chip having 0.2μ capacitance is formed by stacking the capacitors 2a and 2b each having 0.1μ capacitance. By mounting two chips as shown in Fig. 1, a mounting area becomes half in comparison with that of conventional art (Fig. 2) and an area of the board becomes smaller. Thus, high mounting density can be obtained.

Further, although the capacitance becomes more, i.e. $0.3\mu F$ when three chip capacitors are stacked, the mounting area does not change. So the mounting density can raise highly in comparison with the conventional art.

According to the device of the embodiment, since the upper chip capacitor 2b is stacked on the lower chip capacitor 2a when two chip capacitors are connected in parallel, it is possible to add the chip capacitor 2b without increasing the mounting area and to enhance the mounting density.

Effects of the present invention

According to the hybrid integrated circuit device of the present invention, since a plurality of chip components are mounted by stacking in a perpendicular direction, the mounting density can increase and the area of the board can decrease,

BEST AVAILABLE COPY

thereby realizing the downsizing and cost-reduction.

4. Explanation of drawings

Fig. 1 is a perspective view of a hybrid integrated circuit device in the present invention, and

Fig. 2 is a perspective view of a hybrid integrated circuit device in the conventional art.

1... board, 2a...lower chip capacitor, 2b...upper chip capacitor.

Like parts are designated by like reference numerals throughout the accompanying drawings.

BEST AVAILABLE COPY

⑨ 日本国特許庁(J P)

⑪ 特許出願公開

⑫ 公開特許公報(A)

昭63-60593

⑬ Int.Cl.⁴
H 05 K 1/18

識別記号 庁内整理番号
S-6736-5F

⑭ 公開 昭和63年(1988)3月16日

審査請求 未請求 発明の数 1 (全2頁)

⑮ 発明の名称 混成集積回路装置

⑯ 特 願 昭61-206217

⑰ 出 願 昭61(1986)9月1日

⑱ 発 明 者 中 出 良 治 兵庫県伊丹市瑞原4丁目1番地 三菱電機株式会社北伊丹製作所内

⑲ 出 願 人 三菱電機株式会社 東京都千代田区丸の内2丁目2番3号

⑳ 代 理 人 弁理士 早瀬 憲一

明 細 書

1. 発明の名称

混成集積回路装置

2. 特許請求の範囲

(1) 基板上にチップ部品を複数個垂直に積み重ねて実装してなることを特徴とする混成集積回路装置。

3. 発明の詳細な説明

(産業上の利用分野)

この発明は混成集積回路装置に関し、特にその実装密度を高めたものに関するものである。

(従来の技術)

第2図は従来の混成集積回路装置を示し、図において、1は基板、2は該基板1上に搭載されたチップコンデンサ、3は該チップコンデンサ2同士を接続する導体である。

このような混成集積回路装置では、所望する容量値がない時や容量値が大きい時、チップコンデンサ3を2ヶ以上並列接続して基板1に搭載していた。

(発明が解決しようとする問題点)

従来の混成集積回路装置は以上のように構成されているので、チップ部品を実装する時、チップ部品を基板上に通常平面的に配置するため、チップ部品を複数個並列接続して基板上に搭載する場合、チップ部品の占有面積が大きくなり、基板面積が増大するという問題点があった

この発明は上記のような問題点を解消するためになされたもので、基板面積の増大を招くことなく実装チップ数を増加できる混成集積回路装置を得ることを目的とする。

(問題点を解決するための手段)

この発明に係る混成集積回路装置は、複数のチップ部品を垂直に積み重ねて実装してなるものである。

(作用)

この発明においては複数のチップ部品を垂直に積み重ねて実装するようにしたから、一定の面積の基板に多くの部品を実装できる。

(実施例)

以下、この発明の一実施例を図について説明する。

第 1 図は本発明の一実施例による混成集積回路装置を示し、図において、1 は基板、2 a は基板 1 上に搭載された下側のチップコンデンサ、2 b は該下側チップコンデンサ 2 a 上に積み重ねて実装された上側チップコンデンサである。

ここでは、 0.1μ のチップコンデンサ 2 a、2 b を 2 階建てに積み重ねて 0.2μ の容量チップを得ており、第 1 図のように実装する事により従来の場合（第 2 図）に比べ実装面積は半分となり、基板の面積も小さくなり、実装密度が高められる事になる。

更に、3 枚積み重ねると容量値が $0.3 \mu F$ と大きくなっても実装面積は変わらない為従来の比へ実装密度を大きく上げることができる。

このように本実施例装置では 2 つのチップコンデンサを並列接続する時下側チップコンデンサ 2 a の上に上側チップコンデンサ 2 b を垂直に積み重ねるようにしたので、実装面積を増大させるこ

となく、チップコンデンサ 2 b を追加でき実装密度を高めることができる。

（発明の効果）

以上のように本発明にかかる混成集積回路装置によれば、複数のチップ部品を垂直に積み重ねて実装するようにしたので、実装密度を上げ基板の面積を小さくでき、もって、小形化、低コスト化を実現できる。

4. 図面の簡単な説明

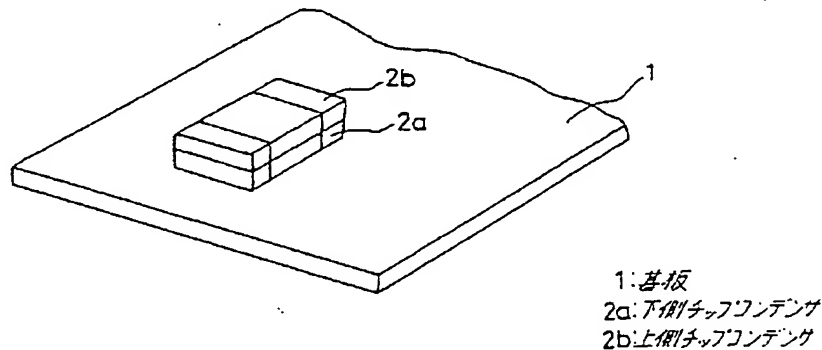
第 1 図は本発明の一実施例による混成集積回路装置を示す斜視図、第 2 図は従来の混成集積回路装置を示す斜視図である。

1 … 基板、2 a … 下側チップコンデンサ、2 b … 上側チップコンデンサ。

なお図中同一符号は同一又は相当部分を示す。

代理人 早 瀬 憲 一

第 1 図



第 2 図

